



Shaw
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Lin et al.

Group Art Unit: 1711

Serial No.: 10/772,511

Examiner: Unassigned

Filed: February 5, 2004

Docket No. 250914-1020

For: Method of Controlling Polysilicon Crystallization

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Method of Controlling Polysilicon Crystallization", filed October 14, 2003, and assigned serial number 92128469. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By:


Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



CERTIFICATE OF MAILING

I hereby certify that the below listed items are being deposited with the U.S. Postal Service as first class mail in an envelope addressed to:

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

on May 11, 2004.


Hui Chin Barnhill

In Re Application of: Lin et al.

Serial No.: 10/772,511

Filed: February 5, 2004

For: Method of Controlling Polysilicon Crystallization
The following is a list of documents enclosed:

Group Art Unit: 1711

Examiner: Unassigned

Docket No. 250914-1020

Return Postcard
Claim of Priority to and Submission of...
Certified Copy of Priority Document

Further, the Commissioner is authorized to charge Deposit Account No. 20-0778 for any additional fees required. The Commissioner is requested to credit any excess fee paid to Deposit Account No. 20-0778.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 14 日
Application Date

申請案號：092128469
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 2 月 17 日
Issue Date

發文字號：09320146740
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多晶矽結晶的控制方法
	英文	Method Of Controlling Polysilicon Crystallization
二、 發明人 (共4人)	姓名 (中文)	1. 林家興 2. 陳麒麟 3. 陳昱丞
	姓名 (英文)	1. LIN, JIAXING 2. CHEN, CHILIN 3. CHEN, YUCHENG
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 板橋市振義里12鄰翠華街12巷2-2號3樓 2. 新竹市東區柴橋里8鄰明湖路648巷79號4樓 3. 新店市五峰里9鄰五峰路48巷2之4號5樓
	住居所 (英 文)	1. 3F, NO. 2-2, LANE 12, TSUI HUA ST., PAN CHIAO CITY 2. 4F, NO. 79, LANE 648, MING HU RD., HSINCHU CITY 3. 5F, NO. 2-4, LANE 48 WU FENG RD., HSIN TIEN CITY
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 195, SEC. 4, CHUNG HSING RD., CHUTUNG TOWN, HSINCHU HSIEN, TAIWAN, R. O. C.
代表人 (中文)	1. 翁政義	
代表人 (英文)	1. WENG, CHENGI	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 羅毅榮
	姓名 (英文)	4. LUO, YIHRONG
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 桃園縣中壢市和平里4鄰文成北街32號
	住居所 (英文)	4. NO. 32, WEN CHEN N. ST., CHUNG LI CITY, TAOYUAN HSIEN
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

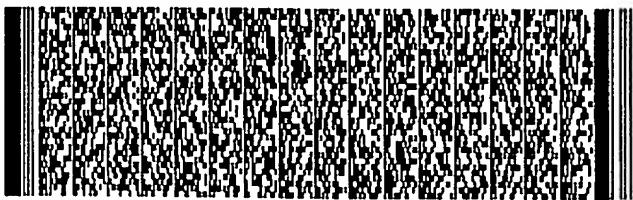


四、中文發明摘要 (發明名稱：多晶矽結晶的控制方法)

在基板上之部分區域形成熱散失層，再於基板上形成非晶矽層，其中熱散失層之熱傳導係數大於基板之熱傳導係數。在後續以準分子雷射加熱非晶矽層以促其結晶時，位於熱散失層上之非晶矽層會先產生結晶成核點。然後再橫向擴展結晶範圍，使位於基板上之非晶矽層能長出微米等級之晶粒。

五、英文發明摘要 (發明名稱：Method Of Controlling Polysilicon Crystallization)

A heat sink layer is formed on portions of a substrate, and then an amorphous silicon layer is formed thereon. The heat coefficient of the heat sink layer is larger than that of the substrate. When an excimer laser heats the amorphous silicon layer to crystallize the amorphous silicon, nucleation sites are formed in the amorphous silicon layer on the heat sink layer. Next,



四、中文發明摘要 (發明名稱：多晶矽結晶的控制方法)

五、英文發明摘要 (發明名稱：Method Of Controlling Polysilicon Crystallization)

lateral expanding crystallization is occurred in the amorphous silicon layer on the substrate to form polysilicon having crystal size of micron meter.



六、指定代表圖

(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

100：基板

102：熱散失層

104：非晶矽層

106：開口

108：區域



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種薄膜電晶體之多晶矽薄膜層的製造方法，特別是一種多晶矽結晶的控制方法。

【先前技術】

半導體使用的矽薄膜材料，通常有非晶矽、多晶矽與單晶矽三種類型，其中多晶矽因其特殊的物理性質與低成本的優勢而在近幾年於薄膜電晶體製造上廣受到重視，尤其是在薄膜電晶體驅動液晶顯示器(TFT-LCD)的應用上。

多晶矽特性介於非晶矽與單晶矽之間，優於非晶矽卻低於單晶矽，由於多晶矽為內含許多單晶邊界的聚集，故增多晶矽之結晶晶粒之粒徑(grain-size)，並使晶界(grain-boundary)數減少，以促進元件特性的提升是現今相當重要的發展趨勢。

以顯示器技術為例，提高多晶矽薄膜電晶體之電氣特性(electrical performance)，以開發出更高性能的平面顯示器(如：系統化面板System On Panel；SOP)，是目前顯示器技術發展的指標。如提升薄膜電晶體之電子遷移率(mobility)具有可促使顯示器解析度提高、反應速度加快、開口率增加、消耗功率降低…等優點，並進而使得系統化驅動電路隨同薄膜電晶體製作於同一面板上的理想成為可能。

以往傳統製造多晶矽薄膜的方法為固相結晶化法(Solid Phase Crystallization)，然而因為玻璃基板的最高承受



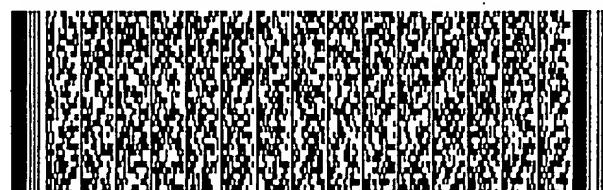
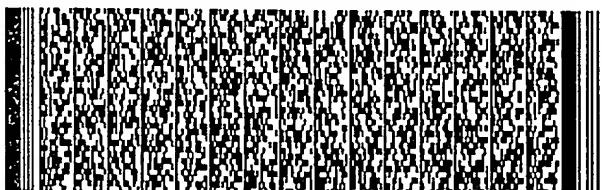
五、發明說明 (2)

溫度約只有 650°C ，故此種方法並不適用於平面顯示器製造上。另外，還有直接氣相沉積多晶矽薄膜的方法。但不論是上述之固相結晶化法或是直接氣相沉積法所形成的多晶矽之晶粒皆相當小，粒徑約只有 100 nm ，因此以這些方法所形成的多晶矽薄膜特性並不佳。

現有的多晶矽結晶方法多以準分子雷射回火(Excimer Laser Anneal)的技術為主，利用此技術所得之多晶矽薄膜晶粒之粒徑約在 $300\text{ nm} \sim 600\text{ nm}$ ，使多晶矽薄膜中之電子遷移率可達 $200\text{ cm}^2/\text{Vs}$ 左右，但對於要開發更高性能之平面顯示器仍有限。且準分子雷射回火之技術受限於機台特性而會有雷射能量分布不均的問題導致晶粒結晶粒徑分佈均勻度不佳，進而亦會影響元件之電氣特性 (electrical performance)，如元件之電子遷移率及元件之臨界電壓(threshold voltage ; V_{th})的均勻性。

多晶矽薄膜對元件特性之影響，其中結晶粒徑尺寸是直接影響電子遷移率大小的關鍵。多晶矽之晶界存在會導致臨界電壓增加、電子遷移率降低、漏電流增加以及元件穩定性降低…等現象。因此除了試圖增加結晶粒徑尺寸外，控制晶粒結晶粒徑分佈的均勻性與方向規則性亦是減小元件通道內之晶界效應以提升元件電氣特性的方法。

所以，一種可促進多晶矽之結晶粒徑成長並精確控制結晶位置與結晶方向，以同時改善結晶均勻性的方法對提升薄膜電晶體之元件電氣特性是相當有助益的。



五、發明說明 (3)

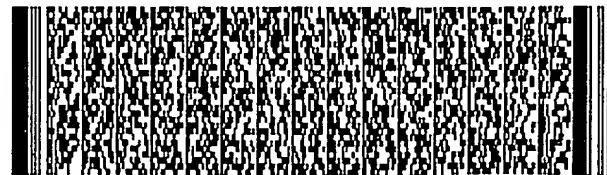
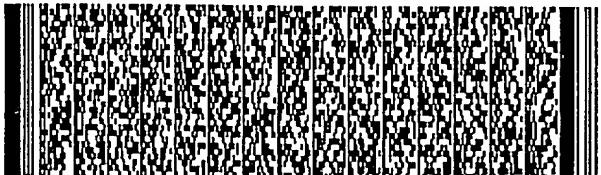
【發明內容】

本發明之目的是在提供一種多晶矽結晶的控制方法，以應用在平面顯示器薄膜電晶體之製造上。利用熱傳係數不同的材質製造出非晶矽層上的溫度梯度，促進結晶之橫向成長發生以產生微米等級且排列規則的多晶矽結晶。另外也藉由保持非晶矽的熔融溫度來延長結晶時間及控制熱量傳遞均勻性，以得到結晶晶粒大小均勻性佳的多晶矽。

根據上述之目的，本發明提出一種可良好控制多晶矽結晶的方法。依照本發明一較佳實施例為在基板上先沉積一熱散失層，且予以圖形化步驟定義出一開口，開口處曝露出基板的表面。接著，在熱散失層與開口上沉積非晶矽層。對非晶矽層而言，有底材為基板與熱散失層的兩種不同區域，開口處的非晶矽層之底材為基板，而其他區域之非晶矽層的底材為熱散失層，其中熱散失層之熱傳導係數較基板之熱傳導係數大。

對非晶矽層進行去氫步驟後開始雷射結晶製程，非晶矽層吸收雷射能量後呈熔融態。因為非晶矽層底材為熱散失層的區域之溫度相對於開口處為低，所以非晶矽層的結晶行為會由底材為熱散失層的區域開始長出晶種，然後漸往開口處方向橫向成長。如此可得結晶粒徑至微米等級且排列規則的多晶矽。

依照本發明之另一較佳實施例為在基板上先沉積一熱阻層，再沉積一熱散失層，並對熱散失層進行圖形化步驟以定義出一開口，開口處暴露出熱阻層之表面。接著，在熱



五、發明說明 (4)

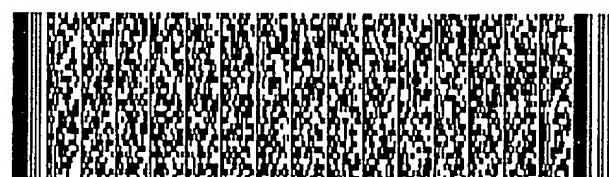
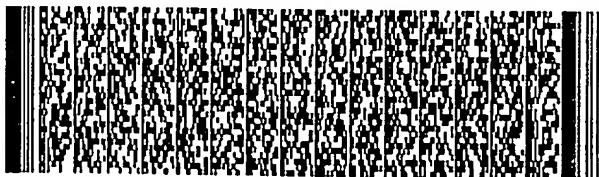
散失層與開口上沉積非晶矽層且予以去氫，然後又在非晶矽層之上沉積加熱層，最後進行雷射結晶製程。對非晶矽層而言，分別有熱散失層及熱阻層兩種不同底材之區域，開口處的非晶矽層底材為熱阻層，而其他區域之非晶矽層的底材為熱散失層，其中熱散失層之熱傳導係數較熱阻層之熱傳導係數大。

故非晶矽層吸收雷射能量後，開口處的非晶矽層之溫度會相對於其他區域明顯較高，因此非晶矽層的結晶行為將由底材為熱散失層的區域開始長晶，而後漸往開口處方向橫向成長。如此可得結晶粒徑至微米等級且排列規則的多晶矽，另外更因加熱層有輔助加熱的作用，且可使雷射能量傳遞較為均勻，因此可延長結晶成長時間使晶粒成長更大且改善結晶晶粒大小之均勻性。

本發明除了可良好控制結晶行為外，更能將實施例配合上薄膜電晶體之元件製造，藉由熱散失層的圖形化定義以控制結晶發生的位置。

【實施方式】

本發明為利用熱傳導係數高的材質，亦即熱傳特性佳的材質，將此高熱傳導係數材質的薄膜圖形化後置於非晶矽層下方，在非晶矽層下方形成低溫區域，而非晶矽層下方被其他材質所佔據的區域為高溫區域。當非晶矽層吸收雷射能量後，能藉由位於其下之底層材質的差異於非晶矽層上形成明顯的高低溫度分佈。利用低溫區誘發非晶矽層結晶形



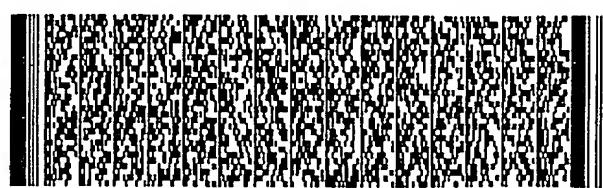
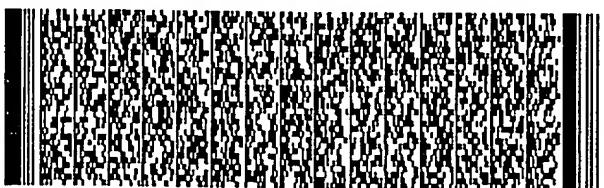
五、發明說明 (5)

成晶種，然後以高溫區與低溫區的溫度差作為驅動力，控制結晶的方向為由低溫區往高溫區橫向成長，因而可獲得結晶粒徑較大且方向排列規則的多晶矽層。此外，由於底層高熱傳係數材質的預先圖形化，也可對多晶矽層結晶成長的位置加以控制。

第一實施例

本發明揭露了一種多晶矽結晶的控制方法。請參照第1A圖，首先於基板100上製作一層具高熱傳係數的熱散失層(heat sink layer)102。上述基板100的材質在顯示器應用上可以是玻璃基板，而熱散失層102的材質例如可為氮化矽，氮化矽的熱傳係數約為 $16\sim33\text{ W/m}^2\text{k}$ 。熱散失層102可利用電漿輔助化學氣相沉積(Plasma Enhanced Chemical Vapor Phase Deposition；PECVD)的方式將其沉積於基板100之上。熱散失層102的厚度較佳約為100 nm。

接著，以一般的黃光蝕刻製程對熱散失層102進行圖形化的步驟，以形成開口106。上述之圖形化步驟中的蝕刻製程可以是電漿乾式蝕刻的方法，使用含有氟離子的氣體，如 CF_4 ，對氮化矽材質的熱散失層102進行蝕刻。之後再沉積一層非晶矽層104於熱散失層102之上與開口106之中，非晶矽層104的製造方式可為電漿輔助化學氣相沉積或是物理氣相沉積(Physical Vapor Deposition；PVD)。所沉積的非晶矽層104厚度較佳約為50 nm，並將非晶矽層104

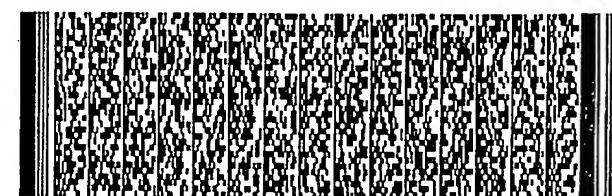
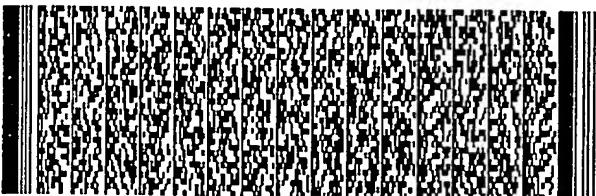


五、發明說明 (6)

進行去氳步驟，以利後續的雷射製程不會出現氳爆的現象。

最後以準分子雷射的方法對非晶矽層104進行雷射製程，使非晶矽層104中之非晶矽吸收能量成熔融態。這裡的雷射製程條件較佳為使用XeCl紫外光源的準分子雷射，且雷射能量較佳為330~450 mJ/cm²。由於之前熱散失層102經圖形化定義出開口106，此結構使得非晶矽層104會有底層為不同材質的區域分佈。開口106處的非晶矽層104之底層為基板100，而其他區域108的非晶矽層104之底層則為熱散失層102。因此對吸收了雷射能量的非晶矽層104而言，則會因其底層材質不同而有不同的溫度分佈。在區域108上之非晶矽層104因其底層為高熱傳係數的熱散失層102，所以相對於開口106來說為低溫區，而在開口106中的非晶矽層104則相對為高溫區。

由於上述結構的設計使得非晶矽層104吸收雷射能量熔融後有不同的溫度分佈，而易於低溫區域108形成結晶成核點(nucleation site)，然後結晶漸漸由低溫區往高溫區的方向進行橫向成長，如此可得超級橫向成長(Super Lateral Growth；SLG)的多晶矽層110(第1B圖)，其微觀結構請見第4圖之多晶矽層的剖面局部放大示意圖。以此實施例的製作方法不僅可達到多晶矽層400(即多晶矽層110)之晶粒410之粒徑尺寸為微米(μm)等級，同時可控制結晶位置與結晶成長方向使得結晶排列更為規則，而晶界420的數目也減少了，種種結構上之改良皆可使電子的遷



五、發明說明 (7)

移率大幅增加。

第二實施例

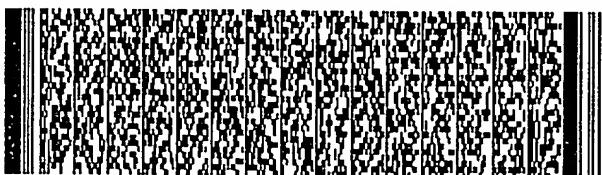
另外一種多晶矽結晶的控制方法，除了同樣使用高熱傳特性的材質作為熱散失層外，還加入了輔助加熱的加熱層 (heating layer) 與具有保溫作用的熱阻層 (heat resist layer)，形成另一種結晶控制的結構設計。

參照第2A圖，先於基板200上例如使用電漿輔助化學氣相沉積法形成一層具低熱傳係數的熱阻層201。基板200的材質可為玻璃基板，而熱阻層201的材質可為氧化矽，其熱傳係數約為 $1.4 \text{ W/m}^2\text{k}$ 。

接著以化學氣相沉積的方式將高熱傳係數的熱散失層202形成於熱阻層201之上，熱散失層202材質例如可為氮化矽。再來以一般的黃光蝕刻製程對熱散失層202進行圖形化，以形成開口206，這裡所指的蝕刻製程同樣可以用含有氟離子的氣體(如 CF_4)對氮化矽材質的熱散失層202進行電漿乾式蝕刻。

請參照第2B圖，接著沉積一層非晶矽薄膜204於基板200上，非晶矽層204的製造方式可為電漿輔助化學氣相沉積法或是物理氣相沉積法，沉積的非晶矽層204厚度較佳約為 50 nm 。接著，讓非晶矽層204進行去氫步驟，以免在後續的雷射製程中產生氫爆。

接著再於非晶矽層204之上以電漿輔助化學氣相沉積法沉積一層對雷射光具有半穿透特性的加熱層205，加熱層205

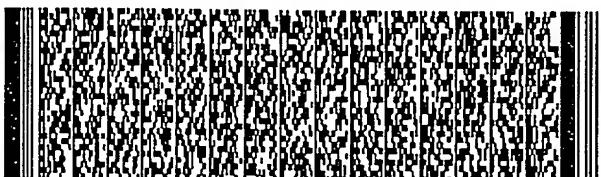


五、發明說明 (8)

的材質例如可為氮碳氧化矽($SiO_xN_yC_z$)。利用加熱層205之對雷射光的半穿透半吸收的性質，使後續雷射製程的能量除部分可穿透至非晶矽層204之外，仍會有部分能量被加熱層205吸收，以對非晶矽層204有持續輔助加熱的作用，同時亦可讓能量更均勻地傳遞至非晶矽層204。如此，不但能因此延長非晶矽層204結晶成長的時間使晶粒成長更大之外，亦能改進雷射能量分佈的均勻性，使非晶矽層204吸收的能量分佈更為均勻。

最後進行準分子雷射製程，同樣較佳為使用XeCl紫外光源的準分子雷射。雷射能量有部分被加熱層205吸收，而部分穿透至非晶矽層204使非晶矽吸收能量成熔融態。吸收了部分雷射能量的加熱層205則可對非晶矽層204進行輔助持續加熱的作用。

另外此實施例中的結構中之非晶矽層204亦具有不同材質的底層區域分佈，開口206處的非晶矽層204之底層為熱阻層201，而其他區域208的非晶矽層204之底層則為熱散失層202。因此對吸收了雷射能量的非晶矽層204而言，同樣會因接觸之底層材料的不同而有不同的溫度分佈。因為熱阻層201的阻擋熱傳效應，使得開口206的非晶矽層204為高溫區，而在區域208之非晶矽層204則會因熱散失層202的散熱作用而形成低溫區。在此實施例中同時選用熱散失層202及熱阻層201的目的即為了對非晶矽層204製造高低溫差更大的區域分佈，使結晶的橫向成長行為更加顯著。結晶同樣會由低溫區208開始成核，然後往高溫區206的方



五、發明說明 (9)

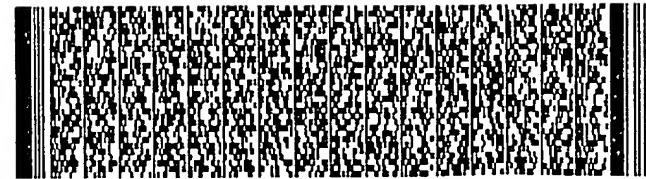
向成長，而得到一結晶晶粒至微米等級且規則排列的多晶矽層210（第2C圖），其微觀結構請見第4圖之多晶矽層之剖面局部放大示意圖。以此實施例的製作方法不僅可達到多晶矽層400（即多晶矽層210）之晶粒410之粒徑尺寸為微米(μm)等級，同時可控制結晶位置與結晶成長方向使得結晶排列更為規則，而晶界420的數目也減少了，種種結構上之改良接可使電子的遷移率大幅增加。

第三實施例

經由上述實施例的方法，使用現今多晶矽結晶的準分子雷射製程，僅作薄膜材料及幾何結構上的設計，即可利用熱傳效應導致的溫度分佈差異而得到超級橫向成長的結晶粒徑。且不論是結晶位置、結晶排列或是結晶晶粒大小之均勻性都能予以良好的控制，如此的結果可進而運用在薄膜電晶體製造上，以得到電子遷移率更高的元件。

請參照第3A圖，其係應用本發明之較佳實施例的方法來製作薄膜電晶體之通道區的結構剖面示意圖。在第3A圖中，以一薄膜電晶體之元件結構為例，先在基板300上沉積緩衝層(buffer layer) 302。其中，基板300例如可為玻璃基板，而緩衝層302的材質例如可為氧化矽材質，沉積緩衝層的方法可為電漿輔助化學氣相沉積法。

接著，例如可使用如同第一實施例之多晶矽結晶的控制方法予以進行。在第3A圖中，在緩衝層302之上形成具高熱傳特性的熱散失層304，再對熱散失層304進行圖形化定義

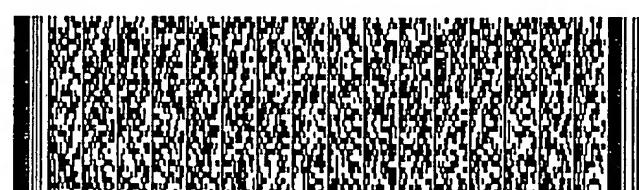


五、發明說明 (10)

步驟形成開口308，以定義出之後元件的通道區、源極區 (source region) 與汲極區 (drain region) 之對應位置。然後，在熱散失層304與開口308上形成多晶矽層306。對多晶矽層306而言，通道區即為開口308中之多晶矽層306，汲極區與源極區則分別為區域310及312中之多晶矽層306。如此之結構在進行雷射結晶的製程時，即可誘發結晶成核點於區域310及312之多晶矽層306中生成，而後漸往開口308方向橫向成長，這樣一來便可將多晶矽之橫向成長的結晶區域精準控制於開口308中，亦即通道區的位置可出現結晶粒徑至微米等級且排列規則的晶粒分佈，甚至可達趨向單晶矽的成果。同時由於通道區的對應位置係由熱散失層304的圖形化定義所形成，因此亦有利於後續元件製作時，對應於通道區之閘極區 (gate region) 的圖形定義之曝光對準更為精準。

最後再直接配合上傳統製造薄膜電晶體之後續流程，如離子佈值 (ion-implantation)、閘極電極 (gate-electrode) 製作、介電層 (Interlayer dielectric; ILD) 製作、資料線路 (data-line) 定義、平坦層 (passivation layer) 以及畫素電極 (pixel electrode) 之製作，即可完成一電子遷移率得以提升的薄膜電晶體元件。其中熱散失層304的使用可視為如同緩衝層，僅作為基板與元件間的隔離，故並不影響元件製造。

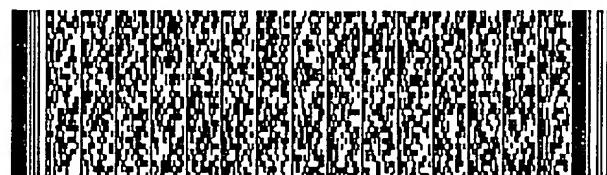
如第3B圖所示即為一上層閘極結構 (top-gate) 之薄膜電晶體元件，於完成多晶矽結晶步驟後，以電漿輔助化學氣相



五、發明說明 (11)

沉積法在多晶矽層306之上沉積閘氧化層(gate-oxide)314，閘氧化層314材質例如可為氧化矽。接著以物理氣相沉積法及圖形定義製作出閘極金屬(gate-metal) 316，閘極金屬316材質可為導電性佳的金屬，如鋁(A1)、鉑(Mo)。然後使用離子佈植的方法，以閘極金屬316為罩幕，分別對閘極金屬316兩側的多晶矽層306進行離子佈值以定義出源極區306a與汲極區306b，以及介於源極區306a與汲極區306b之間的通道區306c。接著再以電漿輔助氣相沉積法在閘極金屬316與閘氧化層314之上沉積介電層318，並且將介電層318予以圖形化定義出暴露出多晶矽層306之源極區306a與汲極區306b的接觸窗口(contact hole) 319，其中介電層318的材料可為氧化矽。

後續還會以物理氣相沉積法與微影蝕刻法形成源/汲極金屬(S/D metal) 320與資料線路。源/汲極金屬320位於介電層318之上及接觸窗口319中，使源/汲極金屬320能與多晶矽的源極區306a與汲極區306b相連接。這裡所指的源/汲極金屬材質可為導電性佳的材質，如鋁(A1)、鉑(Mo)。接著在介電層318與源/汲極金屬320之上形成一平坦層322，並且將平坦層322予以圖形化定義出介層窗口(via hole) 323以暴露出連接汲極區306b的源/汲極金屬320。平坦層322的材質可為具平坦化效果的絕緣材料，如氮化矽或是有機感光材料PC403。最後以物理氣相沉積法與微影蝕刻法形成畫素電極324與畫素線路(圖上未繪出)，其

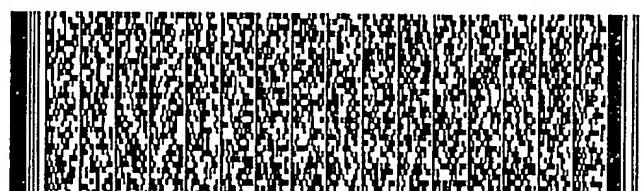


五、發明說明 (12)

中畫素電極324位於平坦層322之上及介層窗口323中，使畫素電極324能與連接汲極區306b的源/汲極金屬320相連接。畫素電極324的材質可為透明之導電材料，如銨錫氧化物(ITO)。

另外，若是使用第二實施例的方法來製造薄膜電晶體時，則須於結晶程序完成後先將多晶矽層上的加熱層予以移除，方可進行後續薄膜電晶體之流程，而熱散失層與熱阻層則皆可視為緩衝層，不影響元件。上述提及的加熱層移除方法以化學性濕式蝕刻為佳，如加熱層材質為氮碳氧化矽，則可以氫氟酸(HF)系列的蝕刻溶液予以整面移除。若是採用電漿乾式蝕刻法來移除加熱層，則易對多晶矽層306產生電漿傷害(plasma-damage)問題，並進而影響元件特性。

由上述本發明之實施例可知，應用本發明之方法可得一結晶控制良好的多晶矽薄膜電晶體，且電子遷移率能因而提升。藉由結晶位置與結晶成長方向的控制，能精確控制出通道區域為大尺寸晶粒且其結晶排列相當規則的多晶矽層。同時，有利於閘極區與通道區的圖形位置對應更為精準。另外更因為此發明主要是以熱傳效應造成之溫度分佈差以誘發晶粒成長，加上第二實施例中使用加熱層之輔助功用，可以改善非晶矽層吸收之能量分佈均勻性，因而亦能提升結晶晶粒尺寸之均一性。對薄膜電晶體之通道區而言，同時增加多晶矽層之晶粒尺寸至微米等級且控制晶粒排列規則與晶粒成長方向及尺寸的均一性，皆能大幅降低



五、發明說明 (13)

通道區內電子須跨越的晶界數，因而得以大幅提升薄膜電晶體之電子遷移率。

本發明之結晶方法不僅侷限使用於平面顯示器之薄膜電晶體製造上，任何多晶矽薄膜電晶體驅動元件之製造皆可利用本發明之方法而提昇產品效能。雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



第1A-1B圖係依照本發明第一較佳實施例之一種多晶矽結晶的控制方法之製造流程剖面示意圖。

第2A-2C圖係依照本發明第二較佳實施例之一種多晶矽結晶的控制方法之製造流程剖面示意圖。

第3A圖係應用本發明之較佳實施例的方法來製作薄膜電晶體之通道區的結構剖面示意圖。

第3B圖係應用本發明之較佳實施例的方法來製作薄膜電晶體的結構剖面示意圖。

第4圖係應用本發明之多晶矽層的剖面局部放大示意圖。

【元件代表符號簡單說明】

100、200、300：基板

102、202、304：熱散失層

104、204：非晶矽層

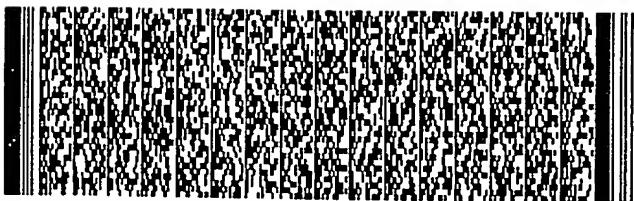
106、206、308：開口

108、208、310、312：區域

110、210、306、400：多晶矽層

201：熱阻層 205：加熱層

302：緩衝層 306a：源極區



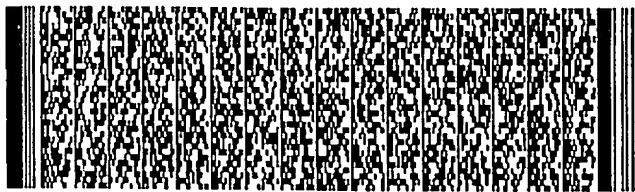
圖式簡單說明

306b : 汲極區	306c : 通道區
314 : 閘氧化層	316 : 閘極金屬
318 : 介電層	319 : 接觸窗口
320 : 源 / 汲極金屬	322 : 平坦層
323 : 介層窗口	324 : 畫素電極
410 : 晶粒	420 : 晶界



六、申請專利範圍

1. 一種多晶矽結晶的控制方法，該控制方法至少包含：
形成一熱散失層於一基板上，該熱散失層之熱傳導係數大於該基板之熱傳導係數；
圖案化該熱散失層，以形成一開口於該熱散失層中暴露出該基板的表面；
形成一非晶矽層於該基板上；
對該非晶矽層進行一去氫步驟；以及
對該非晶矽層進行一雷射加熱步驟，使位於該熱散失層上之該非晶矽層產生結晶成核點並往位於該開口中之該非晶矽層進行長晶，使位於該開口內之非晶矽層能成長出微米等級且排列規則之晶粒而轉變成一多晶矽層。
2. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，其中該熱散失層包含氮化矽層。
3. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，其中該熱散失層的形成方法包含化學氣相沈積法。
4. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，其中該非晶矽層之形成方法包含化學氣相沈積法。
5. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，其中該雷射加熱步驟所使用之雷射包含XeCl紫外光源的準分子雷射。



六、申請專利範圍

6. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，其中該雷射加熱步驟之雷射能量包含330~450 mJ/cm^2 。
7. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，於形成該熱散失層之前更包含形成一熱阻層，且該熱散失層中之該開口暴露出該熱阻層的表面，其中該熱阻層之熱傳導係數小於該基底之熱傳導係數。
8. 如申請專利範圍第7項所述之多晶矽結晶的控制方法，其中該熱阻層包含氧化矽層。
9. 如申請專利範圍第7項所述之多晶矽結晶的控制方法，其中該熱阻層的形成方法包含化學氣相沈積法。
10. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，於該去氫步驟與該雷射加熱步驟之間，更包含形成一加熱層於該非晶矽層之上，該加熱層對該雷射加熱步驟所使用之雷射具有半穿透半吸收之能力。
11. 如申請專利範圍第10項所述之多晶矽結晶的控制方法，其中該加熱層包含一氮碳氧化矽層。
12. 如申請專利範圍第10項所述之多晶矽結晶的控制方



六、申請專利範圍

法，其中該加熱層的形成方法包含化學氣相沈積法。

13. 如申請專利範圍第1項所述之多晶矽結晶的控制方法，更包含：

形成一閘氧化層於該多晶矽層之上；

形成一閘極金屬於該開口之上；

以該閘極金屬為罩幕，對位於該閘極金屬兩側之多晶矽層進行離子佈植；

形成一介電層於該閘極金屬與該閘氧化層之上；

圖案化該介電層以於該閘極金屬兩側各形成一接觸窗口；

形成一金屬層於該介電層與該些接觸窗口中；

圖案化該金屬層以同時形成二源/汲極金屬與複數個資料線路，其中該些源/汲極金屬位於該些接觸窗口中；

形成一平坦層於該介電層與該些源/汲極金屬之上；

圖案化該平坦層，以形成一介層窗口暴露出該些源/汲極金屬之一；以及

同時形成一畫素電極與複數個畫素線路，其中該畫素電極位於該介層窗口中以與暴露出之該源/汲極金屬電性連接。

14. 一種多晶矽結晶的控制方法，該控制方法至少包含：

形成一熱阻層於一基底之上，該熱阻層之熱傳導係數小於該基底之熱傳導係數；

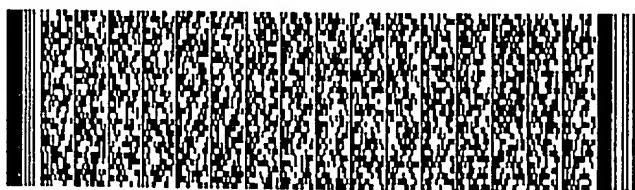
形成一熱散失層於該熱阻層之上，該熱散失層之熱傳導係



六、申請專利範圍

數大於該基板之熱傳導係數；
圖案化該熱散失層，以形成一開口於該熱散失層中暴露出
該熱阻層的表面；
形成一非晶矽層於該熱散失層之上與該開口中；
對該非晶矽層進行一去氫步驟；
形成一加熱層於該非晶矽層之上；以及
對該加熱層與該非晶矽層進行一雷射加熱步驟，使位於該
熱散失層上之該非晶矽層產生結晶成核點並往位於該開口
中之該非晶矽層進行長晶，使位於該開口內之非晶矽層能
成長出微米等級之晶粒而轉變成一多晶矽層。

15. 如申請專利範圍第14項所述之多晶矽結晶的控制方
法，其中該熱散失層包含氮化矽層。
16. 如申請專利範圍第14項所述之多晶矽結晶的控制方
法，其中該熱散失層的形成方法包含化學氣相沈積法。
17. 如申請專利範圍第14項所述之多晶矽結晶的控制方
法，其中該非晶矽層之形成方法包含化學氣相沈積法。
18. 如申請專利範圍第14項所述之多晶矽結晶的控制方
法，其中該雷射加熱步驟所使用之雷射包含XeCl紫外光源
的準分子雷射。



六、申請專利範圍

19. 如申請專利範圍第14項所述之多晶矽結晶的控制方法，其中該雷射加熱步驟之雷射能量包含330~450 mJ/cm^2 。
20. 如申請專利範圍第14項所述之多晶矽結晶的控制方法，其中該熱阻層包含氧化矽層。
21. 如申請專利範圍第14項所述之多晶矽結晶的控制方法，其中該熱阻層的形成方法包含化學氣相沈積法。
22. 如申請專利範圍第14項所述之多晶矽結晶的控制方法，其中該加熱層包含氮碳氧化矽層。
23. 如申請專利範圍第14項所述之多晶矽結晶的控制方法，其中該加熱層的形成方法包含化學氣相沈積法。
24. 如申請專利範圍第14項所述之多晶矽結晶的控制方法，更包含：
去除該加熱層；
形成一閘氧化層於該多晶矽層之上；
形成一閘極金屬於該開口之上；
以該閘極金屬為罩幕，對位於該閘極金屬兩側之多晶矽層進行離子佈植；
形成一介電層於該閘極金屬與該閘氧化層之上；



六、申請專利範圍

圖案化該介電層以於該閘極金屬兩側各形成一接觸窗口；
形成一金屬層於該介電層與該些接觸窗口中；

圖案化該金屬層以同時形成二源/汲極金屬與複數個資料
線路，其中該些源/汲極金屬位於該些接觸窗口中；

形成一平坦層於該介電層與該些源/汲極金屬之上；

圖案化該平坦層，以形成一介層窗口暴露出該些源/汲極
金屬之一；以及

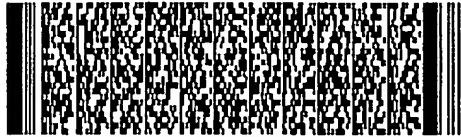
同時形成一畫素電極與複數個畫素線路，其中該畫素電極
位於該介層窗口中以與暴露出之該源/汲極金屬電性連
接。



第 1/27 頁



第 2/27 頁



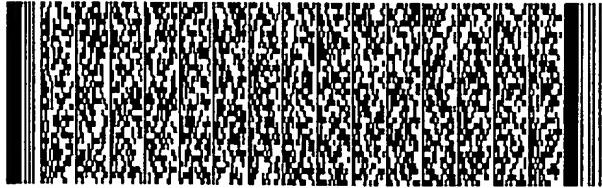
第 4/27 頁



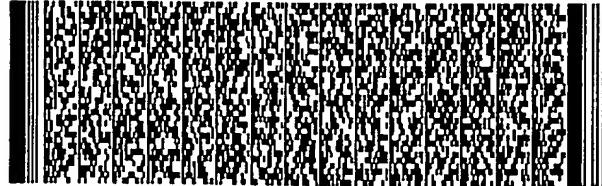
第 6/27 頁



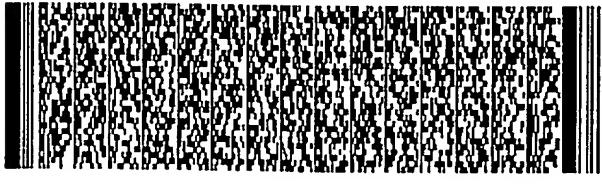
第 7/27 頁



第 8/27 頁



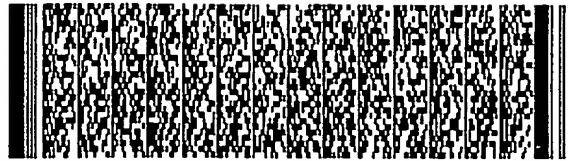
第 9/27 頁



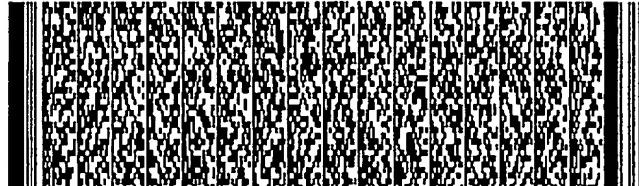
第 10/27 頁



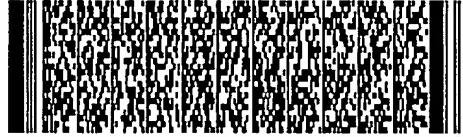
第 1/27 頁



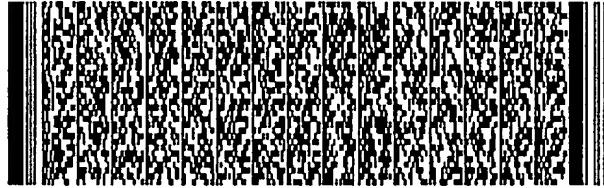
第 3/27 頁



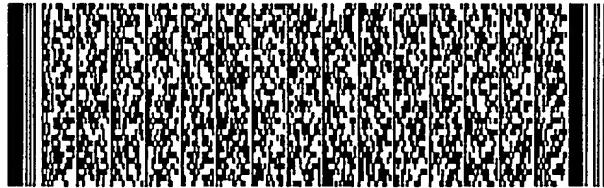
第 5/27 頁



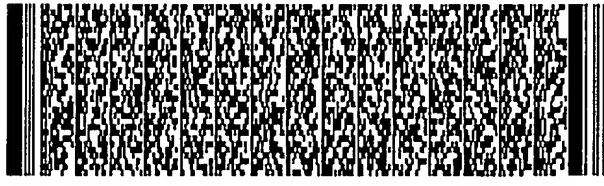
第 7/27 頁



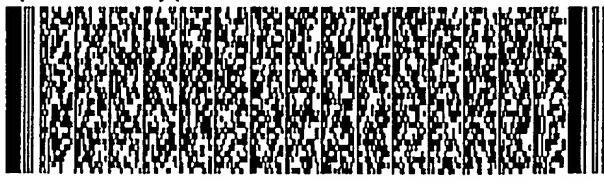
第 8/27 頁



第 9/27 頁



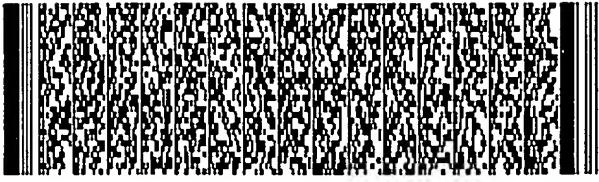
第 10/27 頁



第 11/27 頁



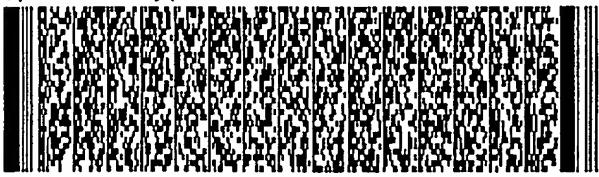
第 11/27 頁



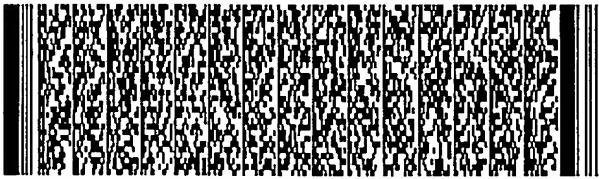
第 12/27 頁



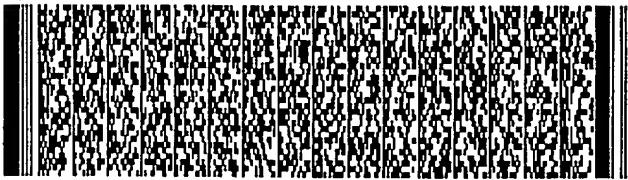
第 13/27 頁



第 14/27 頁



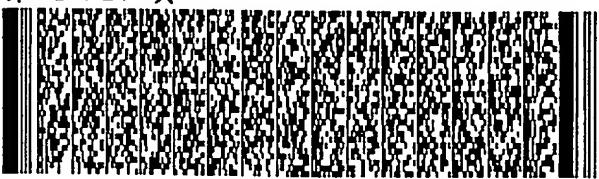
第 15/27 頁



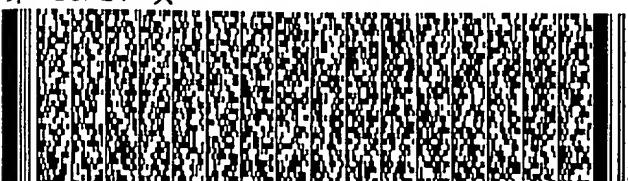
第 16/27 頁



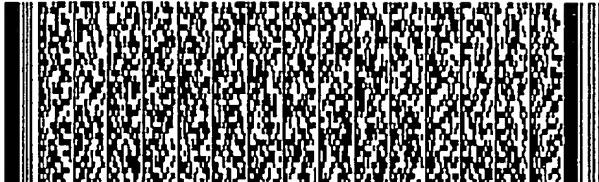
第 17/27 頁



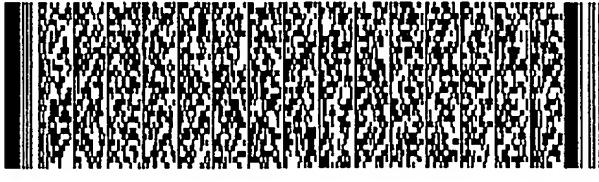
第 18/27 頁



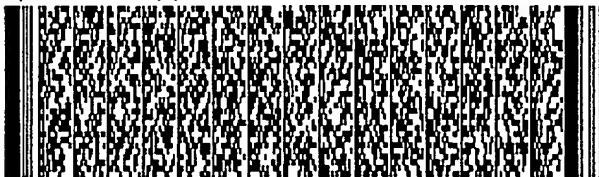
第 12/27 頁



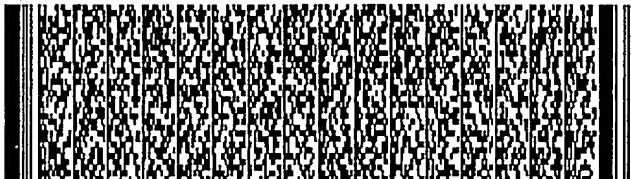
第 13/27 頁



第 14/27 頁



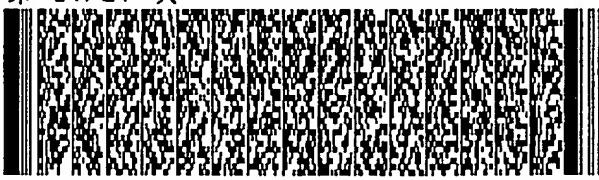
第 15/27 頁



第 16/27 頁



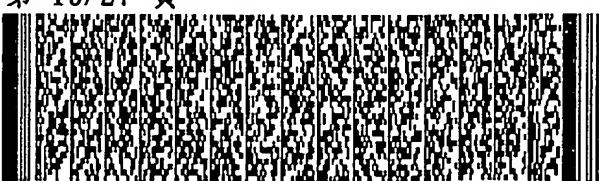
第 17/27 頁



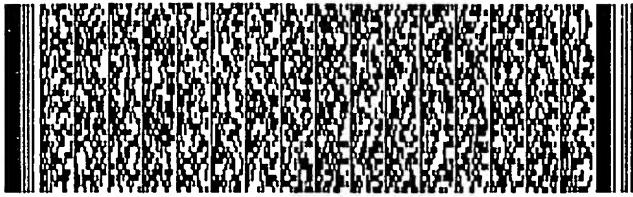
第 18/27 頁



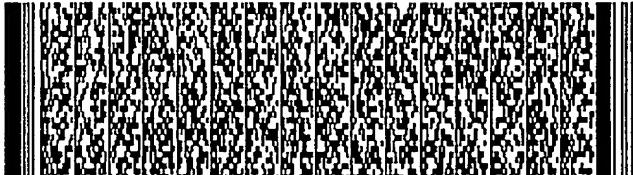
第 19/27 頁



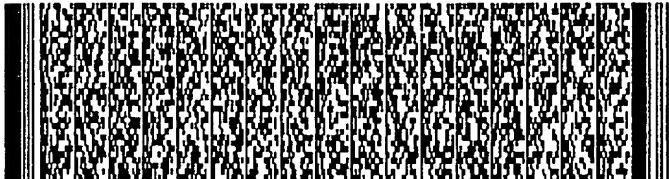
第 20/27 頁



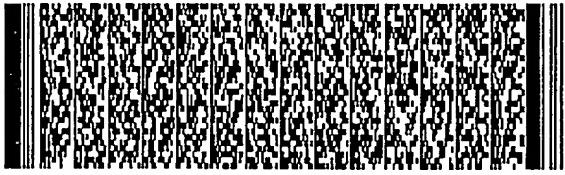
第 22/27 頁



第 24/27 頁



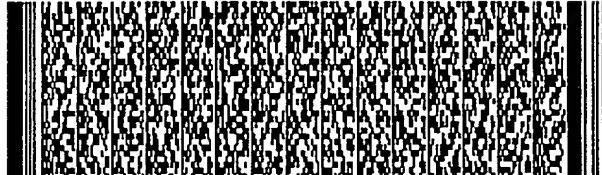
第 26/27 頁



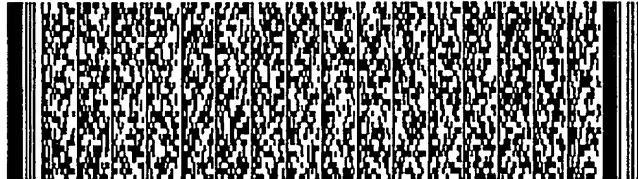
第 21/27 頁



第 23/27 頁

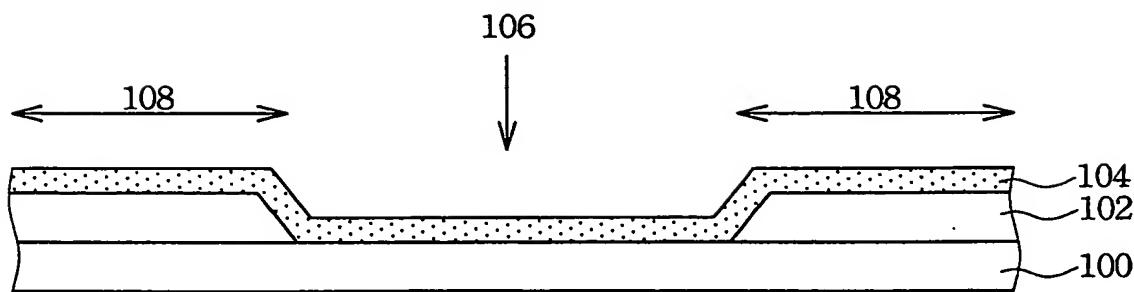


第 25/27 頁

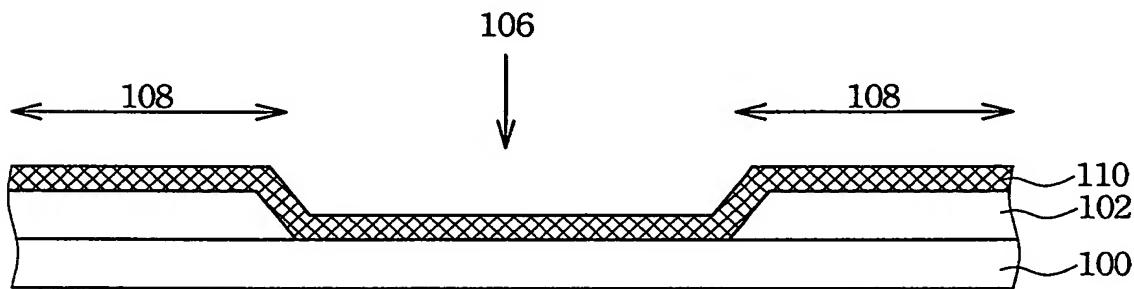


第 27/27 頁

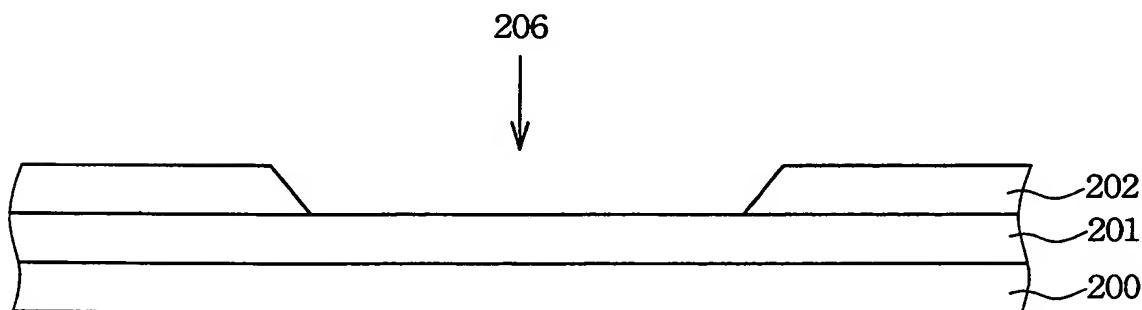




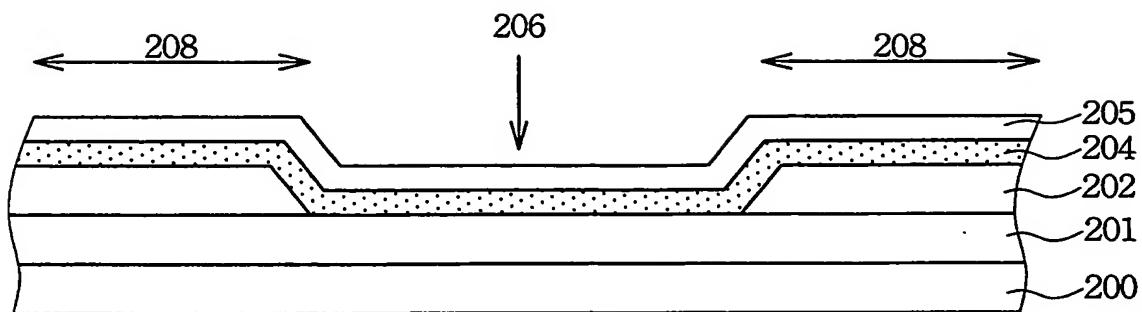
第 1A 圖



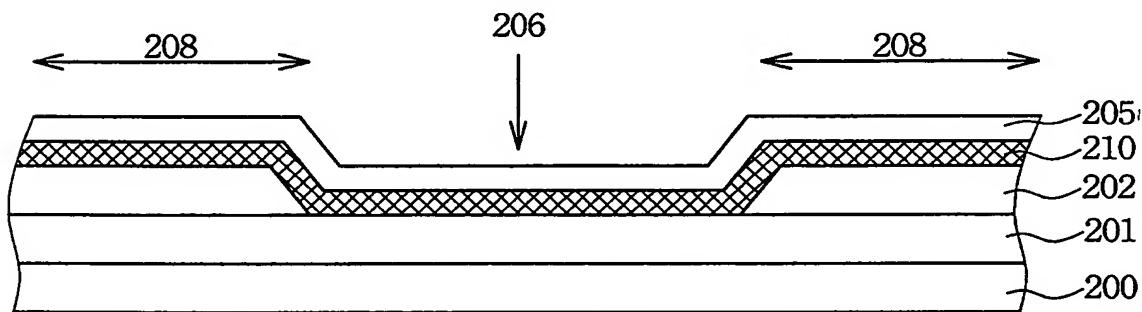
第 1B 圖



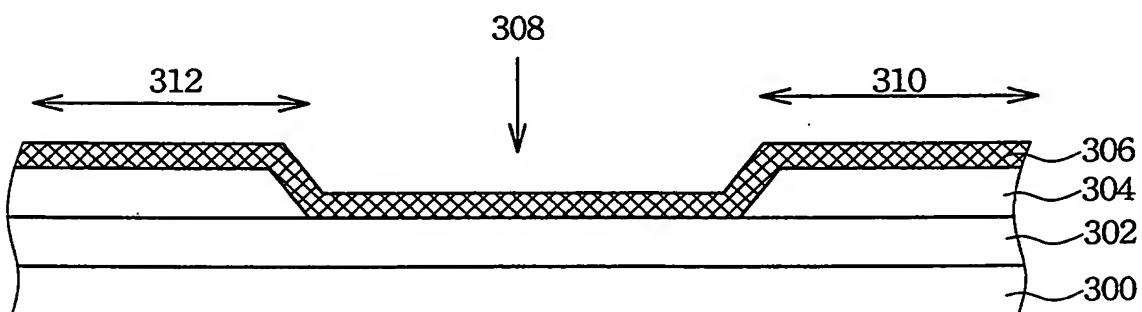
第 2A 圖



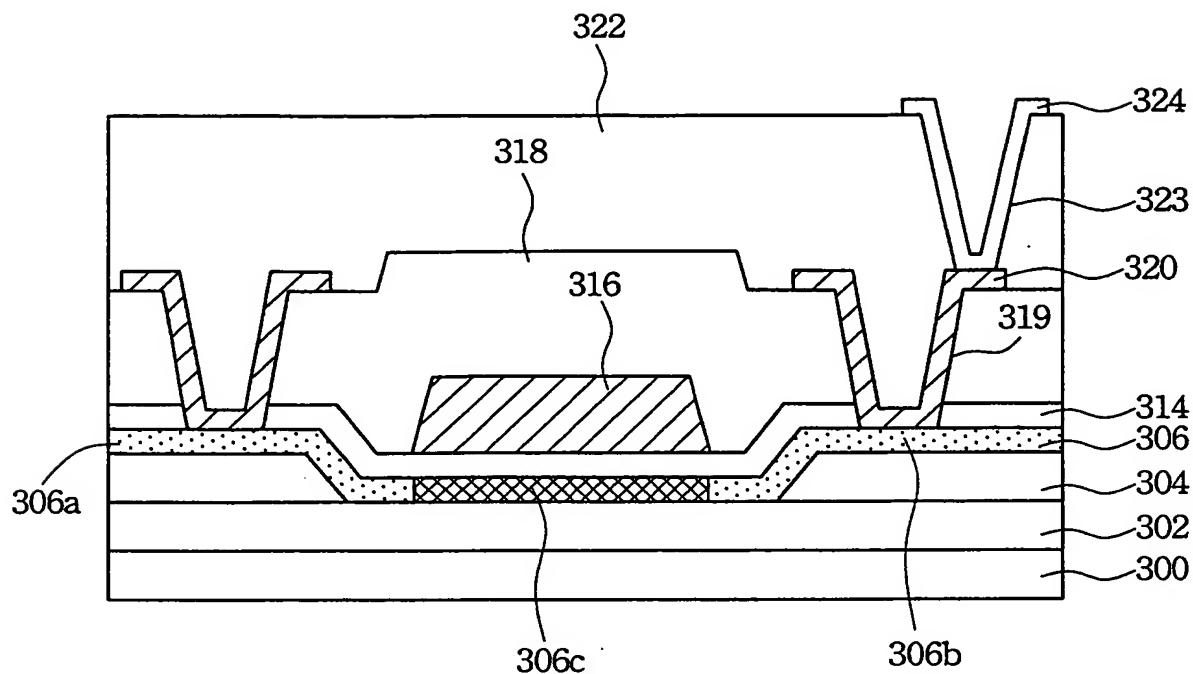
第 2B 圖



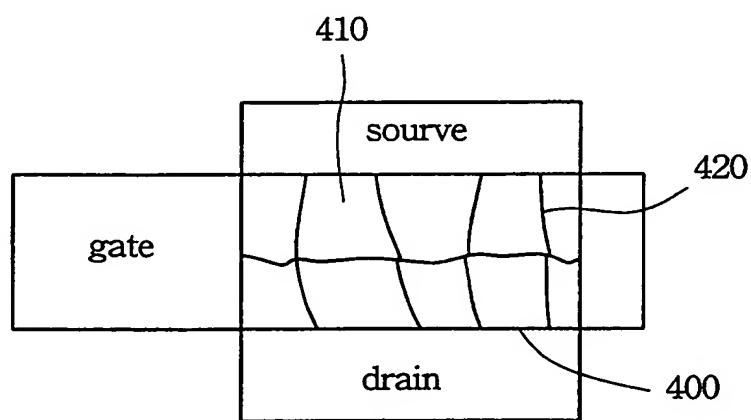
第 2C 圖



第 3A 圖



第 3B 圖



第 4 圖